

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平4-170788

⑬ Int. Cl. 5
G 11 C 11/401

識別記号

序内整理番号

⑭ 公開 平成4年(1992)6月18日

8526-5L G 11 C 11/34
8526-5L

362 B
362 H

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 メモリ装置

⑯ 特願 平2-297888

⑰ 出願 平2(1990)11月2日

⑱ 発明者 松村 洋一 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 発明者 奥村 明弘 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑳ 出願人 ソニー株式会社 東京都品川区北品川6丁目7番35号

㉑ 代理人 弁理士 船橋 国則

明細書

1. 発明の名称

メモリ装置

2. 特許請求の範囲

データを保持するためのメモリセルをアレイ状に配置して構成されたメモリアレイが複数個設けられているとともに、データを伝送するためのビット線が上記メモリアレイに複数本接続されているメモリ装置において、

上記各メモリアレイ接続されているビット線の内、そのメモリアレイの端部に接続されている第1のビット線と、上記第1のビット線が接続されているメモリアレイと隣接するメモリアレイの端部に、上記第1のビット線と並行して配線されている第2のビット線とによりダミービット線対を形成することにより、各メモリアレイとメモリアレイとの間においてもビット線対が連続して存在するようにしたことを特徴とするメモリ装置。

3. 発明の詳細な説明

<産業上の利用分野>

本発明はメモリ装置に係わり、特に、メモリアレイに接続されている各ビット線とビット線との間における寄生容量のバランスをとるために、ダミービット線対を形成するものに用いて好適なものである。

<発明の概要>

本発明のメモリ装置は、メモリアレイに接続されているビット線とビット線との間における寄生容量のバランスをとるために、各メモリアレイの端部に設けるダミーのビット線対を、隣接する一方のメモリアレイおよび他方のメモリアレイのそれぞれの端部に設けられているビット線とビット線とで構成することにより、ダミーのビット線対を設けることによりレイアウトの面積が増大するのを最小限に抑えながら、正規のビット線の容量バランスを良好にとることが出来るようにしたメモリ装置である。

<従来の技術>

例えばDRAM等のメモリ装置は、メモリアレイの他に、センスアンプ、イコライズ回路、プリチャージ回路、カラムセレクタ等の回路により構成されている。そして、上記メモリアレイとその他の回路との間の接続は、ビット線とビット線とからなるビット線対により行われている。したがって、このようなメモリ装置においては複数のビット線やビット線が設けられるが、これらのビット線やビット線には線間容量寄生的に形成される。上記ビット線間容量は小さい方がよいのは勿論であるが、センスアンプの動作マージン等を考慮した場合、互いに等しいことが望ましい。

しかし、第3図の従来のメモリ装置の構成図に示すように、ビット線間容量4はビット線が配線される位置により、その大きさにアンバランスが生じている。すなわち、第3図のメモリ装置は、第1のメモリアレイ1、第2のメモリアレイ2等のような複数のメモリアレイが設けられていて、各メモリアレイにプリチャージ回路Aやセンスア

ンプB等がビット線対3を介してそれぞれ複数個接続されている。この場合、符号1B、1C、2B、2Cを付した位置に設けられているビット線対3においては、各ビット線の両側に他のビット線が必ずあるので、ビット線間の寄生容量は互いに等しくなる。しかし、各メモリアレイの端部に配設されているビット線対、すなわち、符号1A、2Aを付した位置に配設されているビット線対3の場合は片側に他のビット線がないので、ビット線間寄生容量のバランスが取れなくなり、ビット線とビット線との寄生容量は等しくならないことになる。このため、例えばセンシングが終了した後にイコライズ(ビット線とビット線とをショートさせること)をすると、通常は $\frac{1}{2}V_{CC}$ の電圧となるところが、この場合は容量バランスが取れないので、 $\frac{1}{2}V_{CC} \pm \alpha$ となり、動作マージンが減少してしまう不都合が発生する。

このような不都合を解消するために、第4図に示すように、端部にダミーのビット線対20を配設してメモリ装置を構成することがある。

<発明が解決しようとする課題>

第4図の場合、各メモリアレイ1、2の端部にダミーのビット線対20が設けられているので、正規のビット線の両側には他のビット線が必ず存在することになる。したがって、第4図のメモリ装置の場合には正規のビット線については線間容量のバランスを確実にとることが出来、上述した動作マージンが減少するような不都合を防止することが出来る。しかし、このようにメモリアレイの端部にダミーのビット線対20を配設すると、隣接するメモリアレイ間においてダミーのビット線対20が必ず2個(ビット線数にすると4本)必要となるので、その分だけレイアウトの面積が増大してしまう不都合があった。

本発明は上述の問題点に鑑み、正規のビット線の線間容量をバランスさせるために設けるダミーのビット線によりレイアウトの面積が増大するのを出来るだけ少なくすることを目的とする。

<課題を解決するための手段>

本発明のメモリ装置は、データを保持するためのメモリセルをアレイ状に配置して構成されたメモリアレイが複数個設けられるとともに、データを伝送するためのビット線が上記メモリアレイに複数本接続されているメモリ装置において、上記各メモリアレイ接続されているビット線の内、そのメモリアレイの端部に接続されている第1のビット線と、上記第1のビット線が接続されているメモリアレイと隣接するメモリアレイの端部に、上記第1のビット線と並行して配線されている第2のビット線とによりダミービット線対を形成し、各メモリアレイとメモリアレイとの間においてもビット線対が連続して存在するようにしている。

<作用>

隣接している一方のメモリアレイおよび他方のメモリアレイのそれぞれの端部に設けられているビット線とビット線とを対にして、線間容量のバランスを取るためのダミーのビット線対を形成する。これにより、或るメモリアレイについて見れ

ば、1本のビット線を用いるだけで正規のビット線の線間容量のバランスをとることが可能になり、ダミーのビット線対を設けることによりレイアウトの面積が増大するのを最小限に抑えることができるようになる。

<実施例>

第1図は、本発明の一実施例を示すメモリ装置の要部構成図である。

第1図から明らかなように、本実施例のメモリ装置は、第1のメモリアレイ1および第2のメモリアレイ2等のようなメモリアレイを複数個設けるとともに、これらのメモリアレイ1、2に多数のプリチャージ回路AやセンスアンプB等をそれぞれ接続して構成されている。これらのプリチャージ回路AおよびセンスアンプB等は、ビット線3aとビット線3bとからなるビット線対3により、各メモリアレイ1、2にそれぞれ接続されている。また、上記センスアンプBは、カラムセレクタ5を介してデータバッファ6に接続されて

いる。

このように、複数本のビット線3a、3bを並行に配線すると、第1図中において破線で示したように、ビット線間容量4が各ビット線とビット線との間に寄生的に形成される。このビット線間容量4の大きさが不揃いになると上述したような不都合が発生するので、各ビット線間容量4の大きさが同じになるようにする必要がある。ビット線間容量4の大きさが同じになるようにするために、ダミーのビット線対を配設するわけであるが、本実施例においては、次のようにしてダミーのビット線対を配設し、正規のビット線における線間容量4の大きさを揃えるようにしている。

すなわち、互いに隣接して設けられている一方のメモリアレイ1の端部にダミーのビット線10aを配線する。また、他方のメモリアレイ2の端部には、上記ダミーのビット線10aと平行にダミーのビット線10bを配線し、これらのビット線10aと10bとによりダミーのビット線対10を形成する。このようにして、ダミーのビット

線対10を形成することにより、第1図に示したように各メモリアレイ間においてビット線対の不連続な部分が生じないようにすることが出来る。したがって、正規のビット線においては全てのビット線について線間容量4の大きさを同じに揃えることが出来、安定した動作が得られる。しかも、本実施例においては各メモリアレイ1、2にそれぞれダミービット線を1本ずつ配線しただけでビット線間容量4を平衡させるようにしたので、ダミーのビット線対10を設けるのに必要な面積を従来と比較して大幅に減らすことが出来、ダミーのビット線対10を設けることによるレイアウト面積の増大を最小限に抑えることが出来る。

次に、第2図のメモリ装置の要部構成図に従って、本発明の第2実施例を詳述する。

この第2実施例の場合も、第1のメモリアレイ1、第2のメモリアレイ2、～メモリアレイロのように複数個のメモリアレイを設けるとともに、端部に設けたメモリアレイロにワード線ドライバ部11を連設してメモリ装置を構成している。

最近は、このようなメモリ装置を構成する場合、同じワード線を2層設けることが一般的となりつつある。そして、同じワード線を2層設けた場合、2層の内の1層は例えばアルミニウムA1のように抵抗値が小さな配線材料を使用する。また、1つのメモリマットについてメモリアレイを幾つもに分割するとともに、分割したそのつなぎ部で2層のワード線をショートさせることにより、抵抗値が小さい配線で本来のワード線をシャントさせると時定数が小さくなり、高速動作を行わせることが出来るようになる。このように構成されるメモリ装置においては、高速動作により線間容量のアンバランスの悪影響を特に受けやすいので、ダミーのビット線対10を設けてビット線間容量4をバランスさせることが特に必要である。したがって、第2図中矢印12で示したワード線シャント部11毎にダミービット線対10を設けるに際し、従来のようにして設けると、ダミーのビット線対によるレイアウトの面積増大が大きくなってしまう。しかし、本発明によるダミービット線

対10をワード線シャント部11ごとに適用すれば、ダミーのビット線対を設けることによるレイアウト面積の増大を抑えることが出来、安定した動作性と小型化の両方の要求を良好に達成することが出来る。

<発明の効果>

本発明は上述したように、隣接している一方のメモリアレイおよび他方のメモリアレイのそれぞれの端部に設けられているビット線とビット線とを対にしてダミーのビット線対を形成し、上記ダミーのビット線対により、メモリアレイとメモリアレイとの間においてビット線対の間隔が不連続にならないようにしたので、1つのメモリアレイについて1本のビット線を用いるだけで正規のビット線の線間容量をバランスさせることが出来、ビット線対を設けることによりレイアウトの面積が増大するのを最小限に抑えながら安定した動作性能が得られるようにして、動作マージンを向上させることが出来る。

4. 図面の簡単な説明

第1図は、本発明の一実施例を示すメモリ装置の要部構成図。

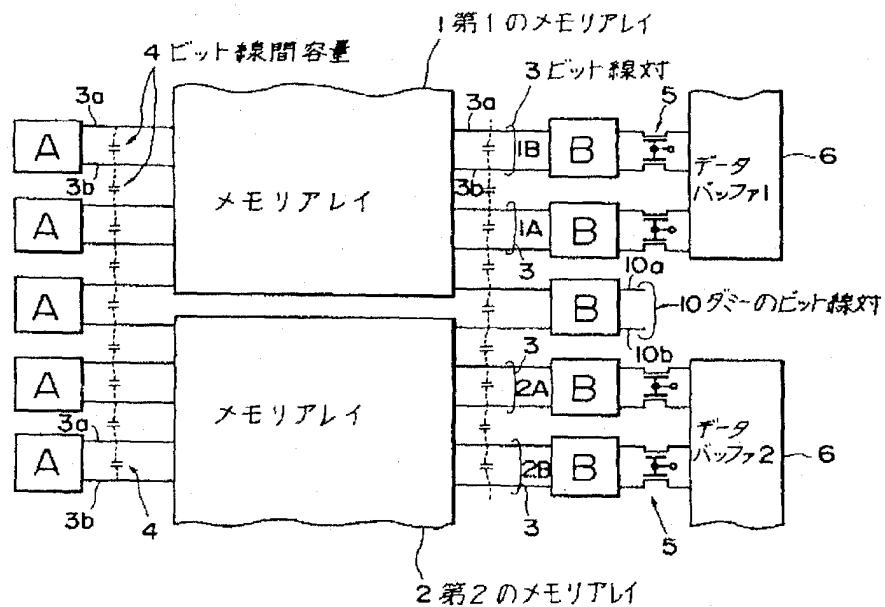
第2図は、第2実施例を示すメモリ装置の要部構成図。

第3図は、従来のメモリ装置の要部構成図。

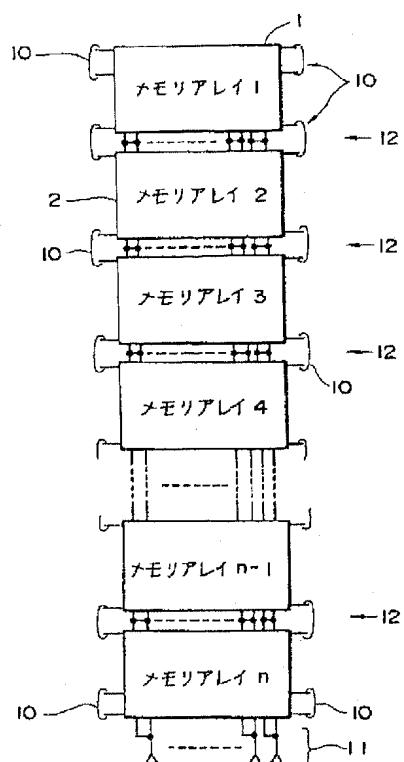
第4図は、従来のダミービット線対を示すメモリ装置の要部構成図である。

- 1 … 第1のメモリアレイ,
- 2 … 第2のメモリアレイ,
- 3 … ビット線対, 3a, 3b ビット線,
- 4 … ビット線間容量,
- 10 … ダミーのビット線対,
- 10a, 10b … ダミーのビット線。

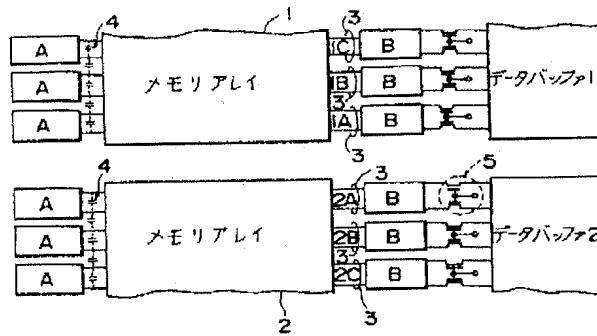
特許出願人 ソニー株式会社
代理人 弁理士 船橋國則



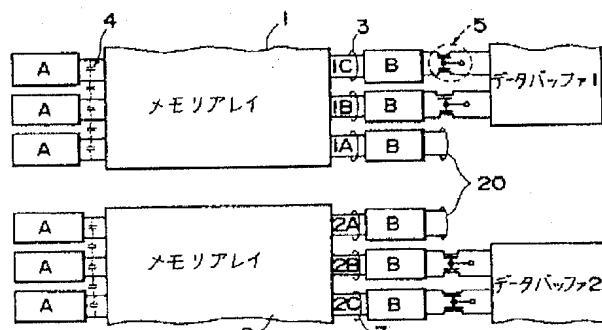
実施例のメモリ装置の要部構成
第1図



第2実施例のメモリ装置
第2図



従来のメモリ装置の構成図
第3図



従来のダミービット線説明図
第4図